

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-022731
(43)Date of publication of application : 26.01.2001

(51)Int.Cl. G06F 17/14
G06F 7/00

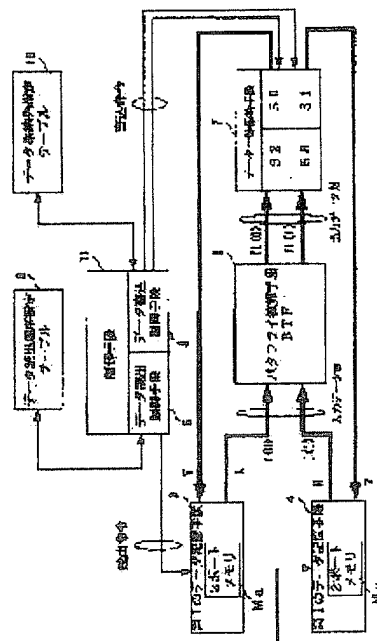
(21)Application number : 11-192716 (71)Applicant : YAMATAKE CORP
(22)Date of filing : 07.07.1999 (72)Inventor : MORIKAWA MAKOTO

(54) FAST FOURIER TRANSFORM DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To secure a high processing speed with small memory capacity, to eliminate an odd/even restriction on the number of pipeline stages, and to use an inexpensive IR/1W type as a 2-port memory.

SOLUTION: This fast Fourier transform device is provided with a data temporary holding means 7 and couples of output data from a butterfly arithmetic means 6 are not put back in data storage means 3 and 4 immediately, but held by two couples (4 pieces of data). Two pieces of output data as an input data couple at a next stage for butterfly operation are taken out, and distributed and overwritten to specific storage areas of the data storage means 3 and 4 at the same time.



(11)特許出願公開番号

特開2001-22731

(P2001-22731A)

(43)公開日 平成13年1月26日(2001.1.26)

(51) Int.Cl.?

識別記号

FI

テ-73-1°(参考)

G O 6 F 17/14

G O 6 F 15/332

A 5B022

7/00

7/00

A 5B056

審査請求 未請求 請求項の数 3 OL (全 9 頁)

(21) 出願番号 特願平11-192716

(22) 出願日 平成11年7月7日(1999.7.7)

(71) 出願人 000006666

株式会社山武

東京都渋谷区渋谷2丁目12番19号

(72) 発明者 森川 誠

東京都渋谷区渋谷2丁目12番19号 株式会社山武内

(74) 代理人 100064621

井理士 山川 政樹

Fターム(参考) 5B022 AAO1 BAOO CA01 CA03 FA03

58056 AA01 AA05 BB13 FF04 FF07

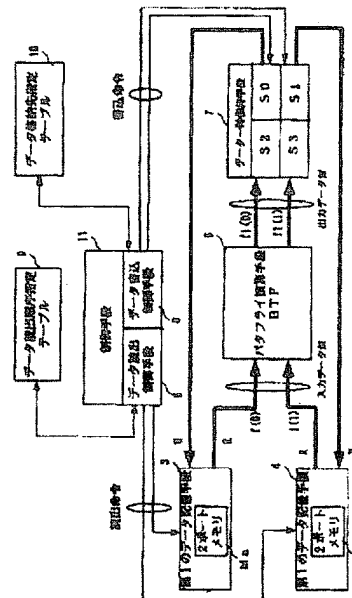
FF16

(54) 【発明の名称】 高速フーリエ変換装置

(57) 【要約】

【課題】 少ないメモリ容量で高速の処理速度を確保する。パイプライン段数として奇数・偶数の制約をなくす。2ポートメモリとして安価なR/W型の使用を可能とする。設計の自由度を高める。

【解決手段】 データ一時保持手段7を設け、バタフライ演算手段6から出力された出力データ対を直ぐにはデータ記憶手段3、4には戻さずに、2組(4データ)分保持する。この保持されている出力データ(S0、S1、S2、S3)の中から、次のバタフライ演算のステップでの入力データ対となる2個の出力データを取り出し、データ記憶手段3、4の指定記憶エリアに振り分けて同時に上書きする。



【特許請求の範囲】

【請求項1】 $N=2^n$ 個のデータにバタフライ演算を施してフーリエ変換を行う高速フーリエ変換装置において、
 2^{n-1} 個のデータを保持する2個のデータ記憶手段と、
 2組のデータを 2^{n-1} サイクル連続でパイプライン処理を行うバタフライ演算手段とを備えたことを特徴とする高速フーリエ変換装置。

【請求項2】 $N=2^n$ 個のデータにパイプライン構成によるバタフライ演算を施して高速フーリエ変換を行う高速フーリエ変換装置において、
 各々 2^{n-1} 個のデータを格納可能な2ポートメモリで構成された第1および第2のデータ記憶手段と、
 この第1および第2のデータ記憶手段の記憶エリアから指定された順序に従って同時に各々1個のデータを読み出すデータ読出制御手段と、
 このデータ読出制御手段によって読み出された各々1個のデータを入力データ対としてバタフライ演算を実行し、その実行結果として2個の出力データを出力データ対として出力するバタフライ演算手段と、
 このバタフライ演算手段からの出力データ対を複数組分、一時保持するデータ一時保持手段と、
 このデータ一時保持手段に保持されている出力データの内、次のバタフライ演算のステージでの入力データ対となる2個の出力データを取り出し、この取り出した2個の出力データを前記第1および第2のデータ記憶手段の指定記憶エリアに振り分けて同時に上書きするデータ書込制御手段とを備えたことを特徴とする高速フーリエ変換装置。

【請求項3】 $N=2^n$ 個のデータにパイプライン構成によるバタフライ演算を施して高速フーリエ変換を行う高速フーリエ変換装置において、
 各々 2^{n-1} 個のデータを格納可能な2ポートメモリで構成された第1および第2のデータ記憶手段と、
 この第1および第2のデータ記憶手段の記憶エリアから指定された順序に従って同時に各々1個のデータを読み出すデータ読出制御手段と、
 このデータ読出制御手段によって読み出された各々1個のデータを入力データ対としてバタフライ演算を実行し、その実行結果として2個の出力データを出力データ対として出力するバタフライ演算手段と、
 このバタフライ演算手段からの出力データのうちの一方の出力データを次回動作サイクルまで一時保持するデータ一時保持手段と、
 前記バタフライ演算手段からの出力データのうち他方の出力データを前記第1および第2のデータ記憶手段の何れか一方の指定記憶エリアに直ちに上書きすると同時に、前記データ一時保持手段に保持されている前回の出力データを他方のデータ記憶手段の指定記憶エリアに上書きするデータ書込制御手段とを備えたことを特徴とする

る高速フーリエ変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、 $N=2^n$ 個のデータにパイプライン構成によるバタフライ演算を施して高速フーリエ変換（以下、FFTと称する）を行う高速フーリエ変換装置に関するものである。

【0002】

【従来の技術】従来より、フーリエ級数の解を求める手法として、FFTが提案されている。このFFTでは、バタフライ演算器を核とし、メモリから読み出した2個のデータを入力データ対としてバタフライ演算を施し、2個の出力データを得、この2個の出力データを演算前に格納されていたメモリに戻し、戻された2個のデータをメモリから読み出してバタフライ演算を施すというパイプライン処理を繰り返す。すなわち、メモリから2個のデータを入力データ対として読み出し、パイプライン構成によるバタフライ演算を施して、高速フーリエ変換を行う

【0003】〔従来例1〕この場合、メモリを一般的な1ポートメモリとすると、1回のバタフライ演算で4回のメモリへのアクセスが必要となる。すなわち、メモリから2個のデータを1個ずつ読み出すのに2回、メモリへ2個のデータを1個ずつ書き込むのに2回、合計4回のアクセスが必要となる。この方法では、 $N=2^n$ 個のデータにFFTを行う際、メモリ容量は $N=2^n$ 個分であり、メモリアクセスの制約により4サイクル毎の演算処理しかできず、処理速度が遅くなる。

【0004】〔従来例2〕そこで、特開昭63-98772号公報に示されたFFT装置では、次のようにして処理速度をアップしている。すなわち、このFFT装置では、 $N=2^n$ 個のデータにFFTを行う際、 $N=2^n$ 個分のデータを格納可能な第1の2ポートメモリと第2の2ポートメモリを用意し、第1の2ポートメモリに奇数番目のデータを格納し、第2の2ポートメモリに偶数番目のデータを格納し、第1の2ポートメモリと第2の2ポートメモリに対するアクセス動作を実行中のバタフライ演算のステージに応じて切り替えることにより、バタフライ演算の結果を2個の2ポートメモリへ各サイクル連続して書き込めるようにして、高速化を図っている。

【0005】例えば、バタフライ演算のステージ数（パイプライン段数）を3とし、最終ステージである第3番目以外のステージ（第1番目および第2番目のステージ）では、「第1の2ポートメモリから2個のデータを読み出し、第2の2ポートメモリへ2個のデータを書き込む」という動作（図8（a）参照）と、「第1の2ポートメモリへ2個のデータを書き込み、第2の2ポートメモリから2個のデータを読み出す」という動作を繰り返す（図8（b）参照）。最終ステージでは、図8

(c)に示すように、「第1の2ポートメモリおよび第2の2ポートメモリとも1個のデータを読み出しつつ、1個のデータを書き込む」という動作を繰り返す。なお、図8において、1は第1の2ポートメモリ、2は第2の2ポートメモリである。このようなメモリ1、2に対するバタフライ演算のステージに応じたアクセス動作の切り替えにより、従来例1と比較して速度比4倍の1サイクル毎の連続演算処理が可能となる。

【0006】(従来例3) また、特開平9-305573号公報に示されたFFT装置では、次のようにして処理速度をアップしている。すなわち、このFFT装置では、 $N=2^m$ 個のデータにFFTを行う際、 $2^{m-1}=N/2$ 個分のデータをそれぞれ格納可能な1ポートメモリで構成された第1のメモリ、第2のメモリ、第1の入力バッファ、第2の入力バッファ、第1の出力バッファおよび第2の出力バッファを用意し、これら6個の1ポートメモリを1個のデータを読み出すと同時に1個のデータを書き込むように前半と後半とに分けて動作させ、かつ第1および第2のメモリの動作スピードをバタフライ演算器の2倍とし、第1および第2の入力バッファからデータを1個ずつ読み出してバタフライ演算器に入力し、このバタフライ演算器からの演算結果である2個のデータを1個ずつ第1および第2のメモリに書き込み、再度バタフライ演算を行うデータを第1および第2のメモリから1個ずつ読み出してバタフライ演算器に入力するという動作を繰り返し、最終的なバタフライ演算の結果として2個ずつ出力するデータを1個ずつ第1および第2の出力バッファに書き込むようにして、高速化を図っている。

【0007】

【発明が解決しようとする課題】しかしながら、従来例2や3は従来例1と比較して高速でFFTを行うことができるが、次のような問題があった。

【0008】(従来例2) $N=2^m$ 個のデータにFFTを行うために2個の2ポートメモリの容量の合計が $2N$ 個分必要となる。すなわち、図8(c)の動作時にメモリ1、2共にデータを読み出しながら書き込みを行うので、この動作が可能のようにメモリ1、2の容量は N 個分必要とし、合計 $2N$ 個分の容量が必要となる。また、図8に示した3種類のアクセス方法だけでは1サイクル処理で対応できない例外が発生するため(図9参照)、設計条件としてパイプライン段数は奇数段であることが必要とされ、設計の自由度が下がる。また、2個の2ポートメモリは、どちらも2ポートを読み出し/書き込みのいずれにも自由に切り振れる高価なメモリ(2R/W型)でなくてはならず、回路規模的に不利な点に加え、設計の自由度が下がる。

【0009】(従来例3) $N=2^m$ 個のデータにFFTを行うために6個の1ポートメモリの容量の合計が $3N$ 個分必要となる。すなわち、第1のメモリ、第2のメモ

り、第1の入力バッファ、第2の入力バッファ、第1の出力バッファおよび第2の出力バッファとして $N/2$ 個分の容量を有する1ポートメモリを6個必要とし、これらの容量の合計として $3N$ 個分の容量が必要となる。また、第1および第2のメモリの動作スピードはバタフライ演算器の2倍でなければならず、第1および第2のメモリの動作スピードを1とした場合、バタフライ演算器の動作速度は $1/2$ となってしまう。このため、従来例2とメモリの動作速度を同等として比較した場合、全体の処理速度は $1/2$ となる。

【0010】本発明はこのような課題を解決するためになされたもので、その目的とするところは、従来例1と同等のメモリ容量で従来例2と同等の処理速度を確保することができ、かつパイプライン段数として奇数・偶数の制約がなく、2ポートメモリとして安価な1R/1W型を使用することの可能な設計の自由度の高い高速フーリエ変換装置を提供することにある。

【0011】

【課題を解決するための手段】このような目的を達成するために、第1発明(請求項1に係る発明)は、 2^{m-1} 個のデータを保持する2個のデータ記憶手段と、2組のデータを 2^{m-1} サイクル連続でパイプライン処理を行うバタフライ演算手段とを設けたものである。この発明によれば、 $N=2^m$ 個のFFTを2個の 2^{m-1} 個のデータ記憶手段で構成可能となる(全体の容量的には 2^m)。また、処理スピードはFFTの段数を $S=\log N/\log 2$ とすると、 $S \times \{2^{m-1} - (m-1) + \alpha\}$ サイクルで実現できる(ただし、 α は1バタフライ演算のパイプライン処理段数程度)。

【0012】第2発明(請求項2に係る発明)は、各々 2^{m-1} 個分のデータを格納可能な2ポートメモリで構成された第1および第2のデータ記憶手段と、この第1および第2のデータ記憶手段の記憶エリアから指定された順序に従って同時に各々1個のデータを読み出すデータ読出制御手段と、このデータ読出制御手段によって読み出された各々1個のデータを入力データ対としてバタフライ演算を実行し、その実行結果として2個の出力データを出力データ対として出力するバタフライ演算手段と、このバタフライ演算手段からの出力データ対を複数組分、一時保持するデータ一時保持手段とを設け、このデータ一時保持手段に保持されている出力データの内、次のバタフライ演算のステージでの入力データ対となる2個の出力データを取り出し、この取り出した2個の出力データを第1および第2のデータ記憶手段の指定記憶エリアに振り分けて同時に上書きするようにしたものである。

【0013】この発明によれば、 $N=2^m$ 個のデータのうち $N/2=2^{m-1}$ 個のデータを第1のデータ記憶手段の2ポートメモリに書き込み、 $N=2^m$ 個のデータのうちの残りの $N/2=2^{m-1}$ 個のデータを第2のデータ記憶

10

20

30

40

50

記憶エリアに上書きされる。この場合、第1および第2の記憶手段における2ポートメモリはそれぞれ $N/2$ 個分の記憶容量でよく、一時保持手段は出力データを1個分保持し得る記憶容量でよい。

【発明の実施の形態】以下、本発明を実施の形態に基づき詳細に説明する。図１は本発明に係るＦＦＴ装置の要部を示すブロック図である。

【0018】6はデータ読出制御手段5によってデータ記憶手段3、4から読み出された各々1個のデータを入力データ対としてバタフライ演算を実行し、その実行結果として2個の出力データを出力データ対として出力するバタフライ演算手段、7はバタフライ演算手段6からの出力データ対を複数組分（この実施の形態では、2組（4データ）分）、一時保持するデータ一時保持手段である。

【0020】9はデータ読出制御手段5が参照とするデータ読出順序指定テーブル、10はデータ書込制御手段8が参照とするデータ格納先指定テーブルであり、データ読出制御手段5とデータ書込制御手段8とで制御手段11が構成されている。

【0022】バタフライ演算の第1ステージST1では、入力データ $f(0)$ と $f(1)$ を入力データ対としてバタフライ演算を施し、出力データ対 $f_1(0)$ 、 $f_1(1)$ を得る。同様に、入力データ $f(2)$ と $f(3)$ 、 $f(4)$ と $f(5)$ 、 $f(6)$ と $f(7)$ を入力データ対としてバタフライ演算を施し、出力データ対 $f_1(2)$ 、 $f_1(3)$ 、 $f_1(4)$ 、 $f_1(5)$ 、

20

40

50

7

1 (6)、f 1 (7)を得る。

【0023】なお、ここでのバタフライ演算は、2入力 (X, Y)、2出力 (X', Y') とした場合、下記の (1)、(2) 式で表される。この式で、 ω はFFTで必要となる回転子を意味する。

$$X' = X + \omega Y \quad \dots (1)$$

$$Y' = X - \omega Y \quad \dots (2)$$

【0024】バタフライ演算の第2ステージST2では、入力データf 1 (0) とf 1 (2) を入力データ対としてバタフライ演算を施し、出力データ対f 1 (0)、f 2 (2)を得る。同様にして、入力データf 1 (1) とf 1 (3)、f 1 (4) とf 1 (6)、f 1 (5) とf 1 (7) を入力データ対としてバタフライ演算を施し、出力データ対f 2 (1)、f 2 (3)、f 2 (4)、f 2 (6)、f 2 (5)、f 2 (7)を得る。

【0025】バタフライ演算の第3ステージST3では、入力データf 2 (0) とf 2 (4) を入力データ対としてバタフライ演算を施し、出力データ対F (0)、F (4)を得る。同様にして、入力データf 2 (1) とf 2 (5)、f 2 (2) とf 2 (6)、f 2 (3) とf 2 (7) を入力データ対としてバタフライ演算を施し、出力データ対F (1)、F (5)、F (2)、F (6)、F (3)、F (7)を得る。

【0026】図2より、3段あるバタフライ演算のステージ毎に、データ記憶手段3、4に図3に示すような格納状態を実現できれば、毎サイクル必要なバタフライ演算の組を並列に1サイクルで読み出すことが可能になることが分かる。

【0027】この場合、例えば、第1ステージST1における最初のバタフライ演算の組合せf (0) とf (1) との結果はf 1 (0)、f 1 (1)となり、次のステージに必要な状態をみると分かるように、2データともデータ記憶手段3 (2ポートメモリMa) に戻す必要がある。

【0028】しかしながら、2データをデータ記憶手段3に戻すには、メモリアクセスの空きポートがないため (1ポートはパイプライン処理で読み出しを連続で行うため空きは1ポートしかない)、2データの書き込み処理が1サイクルで処理できない。結果として、FFT全体でもバタフライ演算は2サイクル周期のパイプラインを組むことになり、従来例2と比較して速度が劣化してしまう。

【0029】そこで、本実施の形態では、データー時保持手段7を設け、バタフライ演算手段6から出力された出力データ対を、直ぐにはデータ記憶手段3、4には戻さず、2組 (4データ) 分保持する。そして、この保持されている出力データ (S0, S1, S2, S3) の中から、次のバタフライ演算のステージでの入力データ対となる2個の出力データを取り出し、データ記憶手段3、4の指定記憶エリアに振り分けて同時に上書きす

る。

【0030】以下、具体的に、このFFT装置の動作について説明する。今、データ記憶手段3の2ポートメモリMaの0番地、1番地、2番地、3番地にそれぞれ入力データf (0)、f (2)、f (4)、f (6)が、データ記憶手段4の2ポートメモリMbの0番地、1番地、2番地、3番地にそれぞれ入力データf (1)、f (3)、f (5)、f (7)が格納されているとする。

【0031】バタフライ演算の第1ステージST1を行う場合、データ読出制御手段5はデータ読出順序指定テーブル9を参照として、データ記憶手段3、4からのデータの読み出しを行う。この場合、データ読出順序指定テーブル9には、第1ステージST1用として図4

(a)に示すような読出順序が定められている。これに従い、データ読出手段5は、最初の動作サイクル (サイクル1) で2ポートメモリMa、Mbの0番地からデータf (0)、f (1)を読み出し、バタフライ演算手段6へ与える (図5参照)。

【0032】そして、次の動作サイクル (サイクル2) で、データ読出手段5は2ポートメモリMa、Mbの1番地からデータf (2)、f (3)を読み出し、バタフライ演算手段6へ与える。バタフライ演算手段6は、サイクル2において、サイクル1で読み出されたデータf (0)、f (1)に対してバタフライ演算を施す。

【0033】以下同様にして、サイクル3でデータ読出手段5がデータf (4)、f (5)を読み出し、バタフライ演算手段5がデータf (2)、f (3)に対してバタフライ演算を施し、サイクル4でデータ読出手段5がデータf (6)、f (7)を読み出し、バタフライ演算手段5がデータf (4)、f (5)に対してバタフライ演算を施し、サイクル5でバタフライ演算手段5がデータf (6)、f (7)に対してバタフライ演算を施す。

【0034】サイクル2でのバタフライ演算結果であるデータf 1 (0)、f 1 (1)はサイクル3でデーター時保持手段7に書き込まれる。サイクル3でのバタフライ演算結果であるデータf 1 (2)、f 1 (3)はサイクル4でデーター時保持手段7に書き込まれる。この時点で、データー時保持手段7には、4個のデータf 1 (0)、f 1 (1)、f 1 (2)、f 1 (3)が貯まる。

【0035】サイクル5において、データ書込制御手段8は、データ格納先指定テーブル10を参照として、データー時保持手段7に保持されている出力データの中から次のバタフライ演算のステージ (第2ステージST2) の入力データ対となる2個のデータを取り出し、データ記憶手段3、4の指定記憶エリアに振り分けて同時に上書きする。

【0036】この場合、データ格納先指定テーブル10には、第1ステージST1用として図6 (a)に示すような出力データの格納先が定められている。これに従

10

20

30

40

50

い、データ書込制御手段8は、サイクル5において、バタフライ演算順序が1番の出力データ $f_1(0)$ と2番の出力データ $f_1(2)$ とを取り出し、出力データ $f_1(0)$ を2ポートメモリMaの0番地に、出力データ $f_1(2)$ を2ポートメモリMbの0番地に振り分けて同時に上書きする。データ $f_1(0)$ 、 $f_1(2)$ が取り出された後は、サイクル4でのバタフライ演算結果であるデータ $f_1(4)$ 、 $f_1(5)$ が書き込まれる。

【0037】以下同様にして、サイクル6でデータ一時保持手段7からデータ $f_1(1)$ と $f_1(3)$ とが取り出され、出力データ $f_1(1)$ が2ポートメモリMaの1番地に、出力データ $f_1(3)$ が2ポートメモリMbの1番地に上書きされ、サイクル7でデータ一時保持手段7からデータ $f_1(4)$ と $f_1(6)$ とが取り出され、出力データ $f_1(4)$ が2ポートメモリMaの2番地に、出力データ $f_1(6)$ が2ポートメモリMbの2番地に上書きされ、サイクル8でデータ一時保持手段7からデータ $f_1(5)$ と $f_1(7)$ とが取り出され、出力データ $f_1(5)$ が2ポートメモリMaの3番地に、出力データ $f_1(7)$ が2ポートメモリMbの3番地に上書きされる。

【0038】第2ステージST2や第3ステージST3でも第1ステージST1と同様にして、図4(b)、(c)に示す読出順序および図6(b)、(c)に示す格納先を参照しながら、バタフライ演算が実行される。

【0039】このようにして、本実施の形態では、連続1サイクル処理のバタフライ演算が可能となる。この場合、データ記憶手段3、4における2ポートメモリMa、Mbはそれぞれ 2^2 個($N/2=4$ 個)分の記憶容量でよく、データ一時保持手段7は出力データ対を2組分(4個分)保持し得る記憶容量でよい。すなわち、本実施の形態では、 $N+4$ 個分の記憶容量でよい。

【0040】この例のように $N=8$ と少ないポイント数の処理では、データ一時保持手段7の記憶容量は無視できない規模(4データ分)になるが、通常のFFTではその精度的意味合いから少なくとも数十点、多ければ数万点におよぶFFTを必要とされる応用例は多数存在する。このため、ほとんどの場合、データ一時保持手段7に必要となる4データ分程度の小規模記憶部は、データ記憶手段3、4の規模から考えるとほとんど無視できる規模となる。

【0041】すなわち、本実施の形態によれば、従来例1と同等の記憶容量(従来例2のほぼ半分)で従来例2と同等の処理速度(従来例1の4倍)を確保することができる。また、本実施の形態では、パイプライン段数として奇数・偶数の制約がなく、設計の自由度が高められる。また、2ポートメモリMa、Mbは2R/W型でなくてもよく、読み出し/書き込みポートが固定された安価な1R1W型でも対応可能であるため、回路の小規模化および設計の自由度が高められる。

【0042】また、入出力バッファが不要なため、従来例3と比較して必要な記憶容量を $1/3$ に削減することができる。また、バタフライ演算とメモリの動作周波数は同じでよく、従来例3とメモリの動作速度を同等として比較した場合、全体の処理速度は2倍高速になる。

【0043】なお、上述した実施の形態では、データ読出順序やデータ格納先をテーブル化して記憶させておくものとしたが、演算式で表現するようにしてもよい。演算式で表現すれば、データ読出順序指定テーブル9やデータ格納先指定テーブル10を省略して回路規模をさらに小さくすることが可能である。また、データ一時保持手段7の記憶容量は、次のバタフライ演算のステージでの入力データ対となる2個の出力データを一時的に保持することができればよく、4データ分に限られるものではないことは言うまでもない。

【0044】図7に図5とは異なる方法で同様の効果を得るようにしたFFT装置のタイミングチャートを示す。この例では、サイクル1で2ポートメモリMa、Mbからデータ $f(0)$ 、 $f(1)$ を読み出し、サイクル2でバタフライ演算を行う。そして、サイクル3でバタフライ演算結果であるデータ $f_1(0)$ 、 $f_1(1)$ のうち一方のデータ $f_1(1)$ をデータ一時保持手段7に書き込み、他方のデータ $f_1(0)$ を2ポートメモリMaに直接上書きする。

【0045】サイクル4では、サイクル3でのバタフライ演算結果であるデータ $f_1(2)$ 、 $f_1(3)$ のうち一方のデータ $f_1(3)$ をデータ一時保持手段7に書き込み、他方のデータ $f_1(2)$ を2ポートメモリMbに直接上書きする。この時、データ一時保持手段7に保持されている前回のデータ $f_1(1)$ を2ポートメモリMaに上書きする。

【0046】このような方法を採用することにより、データ一時保持手段7の記憶容量をデータ1個分とすることができる。また、バタフライ演算の1ステージ当たり1動作サイクル分の処理時間が短縮される。

【0047】

【発明の効果】以上説明したことから明らかなように本発明によれば、第1発明では、 2^m 個のデータを保持する2個のデータ記憶手段と、2組のデータを 2^m サイクル連続でパイプライン処理を行うバタフライ演算手段とを設けたので、 $N=2^m$ 個のFFTを2個の 2^m 個のデータ記憶手段で構成可能となる。また、処理スピードはFFTの段数を $S=\log N/\log 2$ とすると、 $S \times \{2^m(m-1)+a\}$ サイクルで実現できる。

【0048】第2発明では、バタフライ演算結果として得られる2個の出力データ対を直ぐには第1および第2のデータ記憶手段には戻さず、一時保持手段によって複数組分保持し、この保持されている出力データの中から

ら、次のバタフライ演算のステージでの入力データ対となる2個の出力データを取り出し、第1および第2のデータ記憶手段の指定記憶エリアに振り分けて同時に上書きするようにしたので、第1および第2の記憶手段における2ポートメモリはそれぞれ $N/2$ 個分の記憶容量でよく、一時保持手段は出力データ対を複数組分（例えば、2組（4データ））保持し得る記憶容量でよく、従来例1と同等のメモリ容量で従来例2と同等の処理速度を確保することができる。また、パイプライン段数として奇数・偶数の制約がなく、2ポートメモリとして安価な1R/1W型を使用することも可能で、設計の自由度が高くなる。

【0049】第3発明では、バタフライ演算結果として得られる2個の出力データのうち一方は、直ぐにはデータ記憶手段には戻らずに一時保持手段によって保持し、他方の出力データは、第1および第2のデータ記憶手段の何れか一方の指定記憶エリアに直ちに上書きし、これと同時にデータ一時保持手段に保持されている前回の出力データを他方のデータ記憶手段の指定記憶エリアに上書きするようにしたので、第1および第2の記憶手段における2ポートメモリはそれぞれ $N/2$ 個分の記憶容量でよく、一時保持手段は出力データを1個分保持し得る記憶容量でよく、第1発明よりもさらに記憶容量を削減することができ、バタフライ演算の1ステージ当たり1動作サイクル分の処理時間を短縮することも可能となる。

*【図面の簡単な説明】

【図1】 本発明に係るFFT装置の要部を示すブロック図である。

【図2】 $N=2^i$ 個（ $N=8$ 個）のデータに対する高速フーリエ変換のアルゴリズムを例示する図である。

【図3】 このアルゴリズムを実現するための理想的な各ステージでのデータ記憶手段へのデータの格納状況を示す図である。

【図4】 データ読出順序指定テーブルに定められているステージ毎のデータ読出順序を示す図である。

【図5】 このFFT装置の動作を説明するためのタイミングチャートである。

【図6】 データ格納先指定テーブルに定められているステージ毎の出力データの格納先を示す図である。

【図7】 図5とは異なる方法で同様の効果を得るようにしたFFT装置のタイミングチャートである。

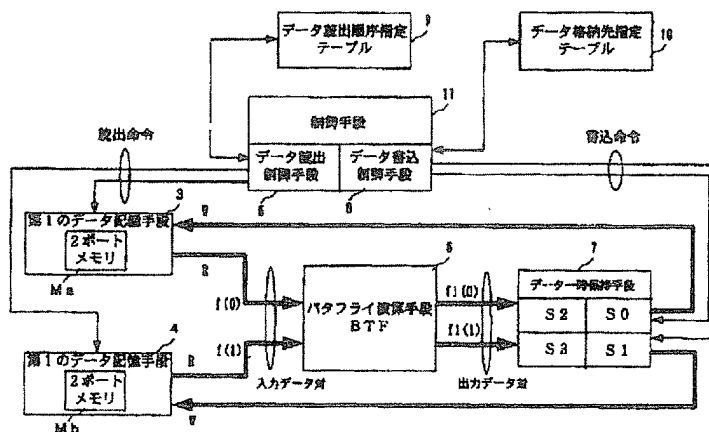
【図8】 従来例2での2つの2ポートメモリに対する各ステージでのアクセス状況を説明する図である。

【図9】 2ポートメモリに対する異常アクセス状態を示す図である。

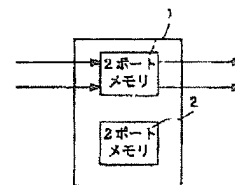
【符号の説明】

3…第1のデータ記憶手段、4…第2のデータ記憶手段、5…データ読出制御手段、6…バタフライ演算手段、7…データ一時保持手段、8…データ書込制御手段、9…データ読出順序指定テーブル、10…データ格納先指定テーブル、11…制御手段。

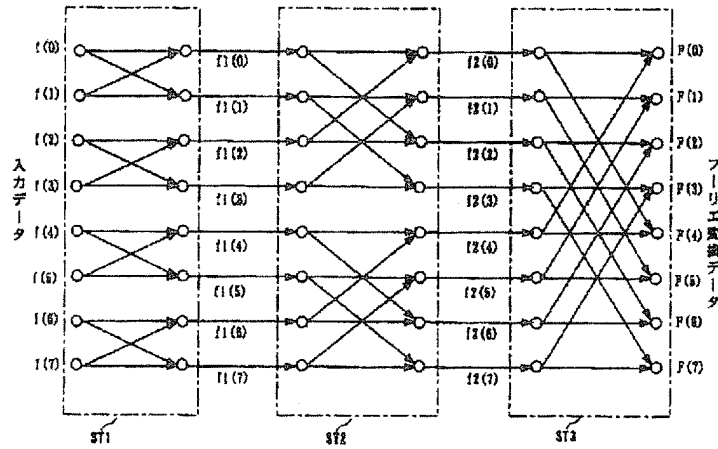
【図1】



【図9】



【図2】



【図3】

	第1のデータ処理部 M ₀	第2のデータ処理部 M ₀
ステージ1	f(0), f(4), f(8), f(12)	f(1), f(5), f(9), f(13)
ステージ2	f(1), f(5), f(9), f(13)	f(2), f(6), f(10), f(14)
ステージ3	f(2), f(6), f(10), f(14)	f(3), f(7), f(11), f(15)

【図4】

(a)

ステージ1 (1段目のバタフライ演算)				
階層	M ₀	M ₁	M ₂	階層番号
0	f(0)	f(1)		①
1	f(2)	f(3)		②
2	f(4)	f(5)		③
3	f(6)	f(7)		④

(b)

ステージ2 (2段目のバタフライ演算)				
階層	M ₀	M ₁	M ₂	階層番号
0	f(0)	f(1)		①
1	f(1)	f(3)		②
2	f(4)	f(5)		③
3	f(6)	f(7)		④

(c)

ステージ3 (3段目のバタフライ演算)				
階層	M ₀	M ₁	M ₂	階層番号
0	f(0)	f(1)		①
1	f(1)	f(3)		②
2	f(4)	f(5)		③
3	f(6)	f(7)		④

【図5】

	サイクル1	サイクル2	サイクル3	サイクル4	サイクル5	サイクル6	サイクル7	サイクル8	...
M ₀ ロード	f(0)	f(2)	f(4)	f(6)					
M ₁ ロード	f(1)	f(3)	f(5)	f(7)					
バタフライ演算部データ									
保持部									
S0			f(0)	f(1)	f(4)	f(5)			
S1			f(1)	f(2)	f(1)	f(2)			
S2			f(2)	f(3)	f(2)	f(3)			
S3			f(3)	f(4)	f(3)	f(4)			
M ₀ ライト					f(0)	f(1)	f(4)	f(5)	
M ₁ ライト					f(2)	f(3)	f(6)	f(7)	

【図6】

(a)

パイプライン番号	出力データ	第1出力ポート	第2出力ポート	メモリ	出力データ
①	1	1	1	1	1
②	2	2	2	2	2
③	3	3	3	3	3
④	4	4	4	4	4
⑤	5	5	5	5	5
⑥	6	6	6	6	6
⑦	7	7	7	7	7
⑧	8	8	8	8	8

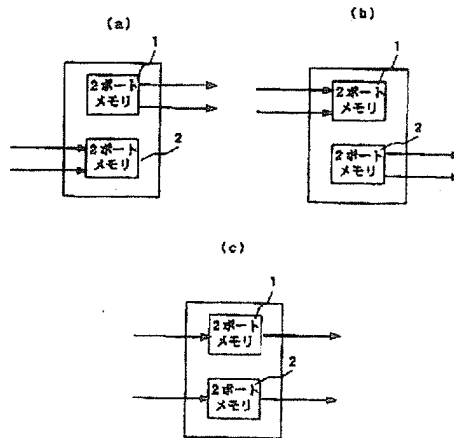
(b)

パイプライン番号	出力データ	第1出力ポート	第2出力ポート	メモリ	出力データ
①	1	1	1	1	1
②	2	2	2	2	2
③	3	3	3	3	3
④	4	4	4	4	4
⑤	5	5	5	5	5
⑥	6	6	6	6	6
⑦	7	7	7	7	7
⑧	8	8	8	8	8

(c)

パイプライン番号	出力データ	第1出力ポート	第2出力ポート	メモリ	出力データ
①	1	1	1	1	1
②	2	2	2	2	2
③	3	3	3	3	3
④	4	4	4	4	4
⑤	5	5	5	5	5
⑥	6	6	6	6	6
⑦	7	7	7	7	7
⑧	8	8	8	8	8

【図8】



【図7】

	サイクル1	サイクル2	サイクル3	サイクル4	サイクル5	サイクル6	サイクル7	サイクル8	...
メモリ1	R(0)	R(2)	R(4)	R(6)					
メモリ2	R(1)	R(3)	R(5)	R(7)					
パイプライン		BIF1	BIF2	BIF3	BIF4				
データ保持	S		f1(1)	f1(3)	f1(5)	f1(7)			
メモリ3			f1(0)	f1(1)	f1(4)	f1(5)			
メモリ4				f1(2)	f1(3)	f1(6)	f1(7)		